

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Chikako YOSHIDA, et al.**

Serial Number: **Not Yet Assigned**

Filed: **February 2, 2004**

Customer No.: 38834

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 2, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-029372, filed on February 6, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels
Reg. No. 32,562

Atty. Docket No.: 042071
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/II



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 6 日
Date of Application:

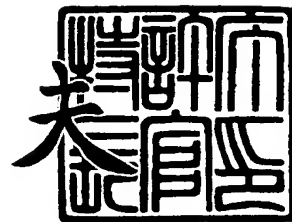
出 願 番 号 特 願 2 0 0 3 - 0 2 9 3 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 9 3 7 2]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 5 5 7 5



【書類名】 特許願

【整理番号】 0241589

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/088

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 吉田 親子

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 南方 浩志

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 山口 正臣

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 宮垣 真治

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 田村 泰之

**【特許出願人】****【識別番号】** 000005223**【氏名又は名称】** 富士通株式会社**【代理人】****【識別番号】** 100087479**【弁理士】****【氏名又は名称】** 北野 好人**【選任した代理人】****【識別番号】** 100114915**【弁理士】****【氏名又は名称】** 三村 治彦**【手数料の表示】****【予納台帳番号】** 003300**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0012600**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜と、前記第1の誘電体膜上に形成され、前記第1の誘電体膜とは異なる第2の誘電体膜とを有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、ポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第2の誘電体膜は、窒素を含むシリコン系絶縁膜、アルミナ膜又はハフニウム組成 x が $0 < x \leq 0.7$ の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜であることを特徴とする半導体装置。

【請求項3】 半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が 1nm 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜を有するゲート絶縁膜と、前記ゲート絶縁膜上に形成され、ポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記半導体基板と前記 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜との間に、窒素を含むシリコン系絶縁膜を更に有することを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記窒素を含むシリコン系絶縁膜は、シリコン窒化膜又は SiON 膜であることを特徴とする半導体装置。

【請求項6】 半導体基板上に、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜を堆積する工程と、前記第1の誘電体膜上に、前記第1の誘電体膜とは異なる第2の誘電体膜を堆積する工程と、

前記第2の誘電体膜上に、ポリシリコン膜を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、
前記第 2 の誘電体膜は、窒素を含むシリコン系絶縁膜、アルミナ膜又はハフニウム組成 x が $0 < x \leq 0.7$ の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜であることを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板上に、シリコン酸化膜系の絶縁膜よりなる第 1 の誘電体膜を形成する工程と、

前記第 1 の誘電体膜上に、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が 1 nm 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第 2 の誘電体膜を形成する工程と、
前記第 2 の誘電体膜上に、ポリシリコン膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる誘電体膜を形成する工程と、

前記誘電体膜上に、 550°C より低い温度でシリコン膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、
前記シリコン膜を形成する工程では、非晶質状態の前記シリコン膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、高誘電率膜よりなるゲート絶縁膜を有する M I S (Metal-Insulator-Semiconductor) トランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の高集積化による M I S トランジスタの微細化に伴い、ゲート絶縁膜の薄膜化が進んでいる。数年後にはゲート長 50 nm 以下に対応したトランジスタの開発が見込まれており、シリコン酸化膜換算で 1 nm 以下の膜厚を有する

ゲート絶縁膜が必要となってくる。

【0003】

従来より、ゲート絶縁膜としてはシリコン酸化膜系の絶縁膜が広く用いられてきた。しかしながら、シリコン酸化膜系の絶縁膜では膜厚が約 3 nm 程度以下になるとトンネルリーク電流が顕著となり、絶縁膜としての機能を果たさなくなるという問題が指摘されている。このため、シリコン酸化膜系の絶縁膜に代わる新しい材料によりシリコン酸化膜換算で 1 nm 以下のゲート絶縁膜を形成することが検討されている。

【0004】

シリコン酸化膜系の絶縁膜に代わるゲート絶縁膜材料として、シリコン酸化膜よりも誘電率が高い材料（High-k 材料）を用いることが検討されている。高誘電率材料を用いることにより、ゲート絶縁膜の物理膜厚を厚くすることができ、リーク電流を抑えることができる。

【0005】

高誘電率材料としては様々な金属酸化物材料が提案されており、 ZrO_2 、 Al_2O_3 、 HfO_2 、 TaO_2 等の材料が注目されている。なかでも、 HfO_2 は、比誘電率が 20～30 程度と高い、 ZrO_2 と比べてシリサイド化しにくい、成長中にシリコン基板との間に形成される界面層が増加しにくい、等の利点があり有望である。

【0006】

しかしながら、 HfO_2 は、堆積直後（as-grown）の状態では部分的に結晶化しているため、リーク電流が大きいという欠点を有している。また、 HfO_2 上にポリシリコン膜を堆積すると、ポリシリコンの局所的な異常成長が生じることが知られている。

【0007】

HfO_2 の結晶化の問題に関しては、例えば特許文献 1 に記載されているように、ゲート絶縁膜中に非晶質材料を介在させることが提案されている。また、例えば特許文献 2 に記載されているように、 HfO_2 に結晶化しにくい SiO_2 や Al_2O_3 等を混入することで結晶化を抑制し、リーク電流を低減することが提

案されている。また、ポリシリコンの異常成長に関しては、例えば非特許文献1に記載されているように、 HfO_2 膜とポリシリコン膜との間に Al_2O_3 膜を介在させることでポリシリコンの異常成長を抑制することが提案されている。

【0008】

【特許文献1】

特開2001-267566号公報

【特許文献2】

特開2002-033320号公報

【非特許文献1】

“Compatibility of polycrystalline silicon gate deposition with HfO_2 and $\text{Al}_2\text{O}_3/\text{HfO}_2$ gate dielectrics”, DC Gilmer et al., Appl. Phys. Lett. Vol.81, pp.1288-1290 (2002)

【0009】

【発明が解決しようとする課題】

しかしながら、 $\text{HfO}_2-\text{Al}_2\text{O}_3$ 混合系（以下、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ と表す）の高誘電率膜について本願発明者等が鋭意検討を行った結果、 HfO_2 に Al_2O_3 等を混入して結晶化を抑制した場合であっても、 Hf リッチな領域ではゲートリーク電流が増大することがあることが判明した。また、この Hf リッチな領域においては、ポリシリコンゲートの異常成長による島状突起物が生成されることが判明した。

【0010】

本発明の目的は、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ を含むゲート絶縁膜を有するMISトランジスタにおいて、ゲートリーク電流や島状突起物の発生を抑制しうる半導体装置の構造及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的は、半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜と、前記第1の誘電体膜上に形成され、前記第1の誘電体膜とは異なる第2の誘電体膜とを有するゲート絶縁

膜と、前記ゲート絶縁膜上に形成され、ポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置によって達成される。

【0012】

また、上記目的は、半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が 1 nm 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜を有するゲート絶縁膜と、前記ゲート絶縁膜上に形成されたポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置によって達成される。

【0013】

また、上記目的は、半導体基板上に、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜を堆積する工程と、前記第1の誘電体膜上に、前記第1の誘電体膜とは異なる第2の誘電体膜を堆積する工程と、前記第2の誘電体膜上に、ポリシリコン膜を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0014】

また、上記目的は、半導体基板上に、シリコン酸化膜系の絶縁膜よりなる第1の誘電体膜を形成する工程と、前記第1の誘電体膜上に、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が 1 nm 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第2の誘電体膜を形成する工程と、前記第2の誘電体膜上に、ポリシリコン膜を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0015】

また、上記目的は、半導体基板上に、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる誘電体膜を形成する工程と、前記誘電体膜上に、 550°C より低い温度でシリコン膜を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0016】

【発明の実施の形態】

[本発明の原理]

$\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ について本願発明者等が鋭意検討を行った結果、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜中を流れるリーク電流は、ハフニウム組成 (x) に大きく依存

することが判明した。ハフニウム組成 x が 0.9 以上の場合には、大きなリーク電流が観測される。これは、この組成の $Hf_x Al_{1-x} O_y$ 膜が、堆積直後 (as-deposition) の状態でも部分的に結晶化しているためと考えられる。また、ハフニウム組成 x が $0.7 < x < 1$ の範囲の $Hf_x Al_{1-x} O_y$ では、 $Hf_x Al_{1-x} O_y$ 膜上にゲート電極用のポリシリコン膜を成膜すると、ポリシリコン膜の局所的な異常成長が発生し、大きな島状突起物が生成される。異常成長がリーク電流と直接関係するかどうかは判らないが、島状突起物が生成されると半導体装置製造プロセスに影響を及ぼし、設計通りの半導体装置を製造することができない。

【0017】

これらの現象を詳しく調べるため、本願発明者等は、原子間力顕微鏡 (AFM: Atomic Force Microscope) を用い、ポリシリコン/ $Hf_x Al_{1-x} O_y$ 構造の局所リーク電流特性を調べた。図 1 はその結果を示す図である。図 1 (a) がハフニウム組成 $x = 0.7$ の場合における表面トポグラフィ像であり、図 1 (b) が (a) のトポグラフィ像と同時に観測したリーク電流の面内分布を示す図である。図 1 (c) がハフニウム組成 $x = 0.8$ の場合における表面トポグラフィ像であり、図 1 (d) が (c) のトポグラフィ像と同時に観測したリーク電流の面内分布を示す図である。図 1 (e) がハフニウム組成 $x = 0.9$ の場合における表面トポグラフィ像であり、図 1 (f) が (e) のトポグラフィ像と同時に観測したリーク電流の面内分布を示す図である。図 1 (g) がハフニウム組成 $x = 1.0$ の場合における表面トポグラフィ像であり、図 1 (h) が (g) のトポグラフィ像と同時に観測したリーク電流の面内分布を示す図である。

【0018】

図 1 (c) 及び (e) に示すトポグラフィ像には、多数の島状突起物が観測される。この島状突起部は、ポリシリコンが異常成長して生成されたものである。一方、ハフニウム組成 $x = 1.0$ 及び 0.7 の場合には、図 1 (a) 及び図 1 (g) に示されるように、島状突起物は発生していない。また、島状突起物は、ポリシリコン膜の成長初期には観察されず、ポリシリコン膜の厚さが十分に厚く成長したときに発生することが判った。

【0019】

一方、図1(b), (d), (f), (g)に示すように、リーク電流はハフニウム組成 x が多いほど、大きいことが判明した。このリーク電流スポットは必ずしも島状突起物の箇所とは一致していない。ハフニウム組成 $x=0.8$ の場合には、局所的にリーキーなスポットが存在することが判った。この局所リーク電流スポットは、 $4\mu\text{m}^2$ あたり1~2個の割合で発生し、島状突起物の発生する密度と同じであることも判った。

【0020】

図2は、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ をゲート絶縁膜とするMOSキャパシタにおけるゲートリーク電流のハフニウム組成及びゲート面積依存性を示すグラフである。図2に示すように、ハフニウム組成 $x=0.5$ 及び $x=1.0$ の試料では、ゲート面積が小さくなってもリーク電流のばらつきに大きな変化はないが、ハフニウム組成 $x=0.8$ の試料では、ゲート面積が小さくなるほどにリーク電流のばらつきが大きくなっている。この現象は、ゲート面積が大きい場合には含まれる局所リークスポットの数が均一化されてばらつきが小さくなるのに対し、ゲート面積が小さい場合には、ゲート中に局所リーク電流スポットが存在する場合にはリーキーで存在しない場合にリーク電流が小さくなると考えることで説明することができる。

【0021】

図3は、ハフニウム組成とポリシリコンの異常成長との関係を示すトポグラフ像である。図3(a)がハフニウム組成 $x=0.6$ の場合であり、図3(b)がハフニウム組成 $x=0.7$ の場合であり、図3(c)がハフニウム組成 $x=0.8$ の場合であり、図3(d)がハフニウム組成 $x=0.9$ の場合であり、図3(e)がハフニウム組成 1.0 の場合である。

【0022】

図3に示すように、ハフニウム組成 x が 0.7 以下($0 < x \leq 0.7$)の場合及び 1.0 の場合にはポリシリコンの局所的な異常成長は観察されないが、ハフニウム組成 x が 0.8 及び 0.9 の場合にはポリシリコンの局所的な異常成長が観察される。

【0023】

図4は、析出物の数と高さとの関係を示すグラフである。図中、印がハフニウム組成 $x = 1$ の場合、■印がハフニウム組成 $x = 0.9$ の場合、▼印がハフニウム組成 $x = 0.8$ の場合、○印がハフニウム組成 $x = 0.7$ の場合、□印がハフニウム組成 $x = 0.6$ の場合である。

【0024】

図示するように、ハフニウム組成が0.8及び0.9の場合に析出物の高さが高い方にまで分布しており、異常成長が生じていることが判る。

【0025】

ハフニウム組成 $x = 1.0$ は HfO_2 に相当する組成であり、上記非特許文献1においてポリシリコンの異常成長が観察された条件であるが、本願発明者等の検討結果では異常成長は確認できなかった。本願発明者等の検討結果では、ハフニウム組成 $x = 1.0$ の場合よりも、ハフニウム組成 $x = 0.8, 0.9$ の場合の方が高い頻度で異常成長が発生している。このことから、ハフニウム組成 $x = 0.8, 0.9$ の場合におけるポリシリコンの異常成長は、非特許文献1に見られる HfO_2 上におけるポリシリコンの異常成長とは異なり、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 特有の現象であると考えられる。

【0026】

上述のように、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ では、ポリシリコンの局所的な異常成長が生じる。したがって、ポリシリコンの異常成長を防止するには、ハフニウム組成 x を0.7以下に設定すればよい。しかしながら、ハフニウム組成 x が0.5以下では、リーク電流を低減する効果はあるが、 Al_2O_3 組成が大きい分、比誘電率は小さくなる。高い誘電率を得るためには、 HfO_2 組成のより大きな膜を形成することが望ましい。

【0027】

そこで、本発明の第1の方法では、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜とポリシリコン膜との間に、ポリシリコン膜の異常成長を抑制しうる絶縁膜を形成する。ポリシリコンの異常成長は、上記組成の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜上に直にポリシリコン膜を成長することにより発生する。したがって、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜とポリシ

リコン膜との間に、ポリシリコン膜の異常成長を抑制しうる絶縁膜、例えば、シリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜、 Al_2O_3 （アルミナ）膜、 HfO_2 組成 x が 0.7 以下 ($0 < x \leq 0.7$) の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜などを介在させることにより、ポリシリコンの異常成長を抑制することができる。

【0028】

図5は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるトポグラフ像である。図3(c)と図5との比較から明らかなように、シリコン窒化膜を介在させることにより、ポリシリコンの局所的な異常成長を抑制することができる。

【0029】

図4の▽印は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜とポリシリコン膜との間にシリコン窒化膜を形成した場合における析出物の数と高さとの関係を示している。シリコン窒化膜を設けることによりポリシリコンの異常成長が抑制できることは、図4のグラフからも明らかである。

【0030】

図6は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるゲートリーク電流のゲート面積依存性を示すグラフである。図示するように、シリコン窒化膜を形成することにより、形成しない場合と比較してリーク電流を大幅に低減できるとともに、リーク電流のばらつきを小さくすることができる。

【0031】

また、本発明の第2の方法では、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ の膜厚を 1 nm 以下に設定する。膜厚が 1 nm 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ の場合、ハフニウム組成 x が $0.7 < x < 1$ の場合であっても、ポリシリコンの異常成長を抑制することができる。但し、この場合には、ゲート絶縁膜として十分な物理膜厚を確保するために、他の絶縁膜との積層膜によりゲート絶縁膜を構成することが望ましい。

【0032】

図7は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜の膜厚を変化したときの表面状態の変化

を示す図である。図7 (a) は膜厚が2 nmの場合を、図7 (b) は膜厚が1 nmの場合を、図7 (c) は膜厚が0.5 nmの場合を、それぞれ示している。

【0033】

図示するように、膜厚が1 nm以下の場合には、ポリシリコンの異常成長により生じる島状突起物を大幅に低減することができる。

【0034】

また、本発明の第3の方法では、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 上にポリシリコンを堆積する代わりに、アモルファスシリコンを堆積する。本願発明者等が鋭意検討を行ったところ、アモルファスシリコンの成膜温度まで低温化すると、異常成長により生じる島状突起物の大きさが小さくなることが判明した。したがって、ポリシリコン膜に代えてアモルファスシリコン膜を堆積することにより、異常成長を抑制することができる。

【0035】

図8は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 上に550℃でアモルファスシリコンを堆積した場合におけるトポグラフ像である。図3 (c) と図8との比較から明らかに、成膜温度を低温化することにより、島状突起物の大きさを小さくすることができる。

【0036】

図4の×印は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜上にアモルファスシリコン膜を堆積した場合における析出物の数と高さとの関係を示している。アモルファスシリコン膜を堆積することにより島状突起物を小さくできることは、図4のグラフからも明らかである。

【0037】

なお、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ は、正確には $(\text{HfO}_2)_x(\text{Al}_2\text{O}_3)$ と表されるが、HfとAlの個々の酸化状態は特に規定されるものではないため、酸素組成yは、ハフニウム組成xによって変化する。

【0038】

[第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法について図9乃至図

11を用いて説明する。

【0039】

図9は本実施形態による半導体装置の構造を示す概略断面図、図10及び図11は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0040】

はじめに、本実施形態による半導体装置の構造について図9を用いて説明する。

【0041】

シリコン基板10上には、素子分離膜12が形成されている。素子分離膜12により画定されたシリコン基板10の素子領域上には、界面層14、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜16及びアルミナ膜18を有するゲート絶縁膜20が形成されている。ゲート絶縁膜20上には、ポリシリコン膜よりなるゲート電極24が形成されている。ゲート電極24の側壁部分には、側壁絶縁膜28が形成されている。ゲート電極24の両側のシリコン基板10中には、ソース／ドレイン拡散層32が形成されている。

【0042】

このように、本実施形態による半導体装置は、ゲート絶縁膜20が、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜16上に形成された Al_2O_3 膜18を有する点に主たる特徴がある。前述の通り、ハフニウム組成 $0.7 < x < 1$ の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜上にポリシリコン膜を直に堆積した場合、ポリシリコンの局所的な異常成長が発生し、ゲートリーク電流の増加を引き起こす。本実施形態による半導体装置のように $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜16上に Al_2O_3 膜18を形成し、 Al_2O_3 膜18上にポリシリコン膜を堆積することにより、ポリシリコンの異常成長を防止することができる。したがって、本実施形態による半導体装置によれば、ゲートリーク電流を低減することができる。

【0043】

次に、本実施形態による半導体装置の製造方法について図10及び図11を用いて説明する。

【0044】

まず、シリコン基板 10 中に、例えば S T I (Shallow Trench Isolation) 法により、素子領域を画定する素子分離膜 12 を形成する (図 10 (a))。

【0045】

次いで、素子分離膜 12 が形成されたシリコン基板 10 上に、MOCVD 法により、膜厚 3 nm の $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 を堆積する。 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 は、例えば、Al 原料に TTBAI (tri-tertiary butyl Al) を、Hf 原料に TTBFHf (tetra butoxy Hf) を、酸化ガスに O_2 ガスを、キャリアガスに N_2 を用い、基板温度を 500°C 、TTBFHf の流量を 500 sccm、TTBAI の流量を 35 sccm、 O_2 流量を 100 sccm、総流量を 1500 sccm として形成する。

【0046】

なお、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 の成膜の際に、シリコン基板 10 と $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 との界面には、界面層 14 が形成される。なお、界面層 14 は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 の成膜過程でシリコン基板 10 が酸化されることにより形成されるものと考えられている。

【0047】

次いで、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 上に、例えば膜厚 1 nm の Al_2O_3 膜 18 を堆積する (図 10 (b))。 Al_2O_3 膜 18 は、例えば Al 原料に TTBAI を、酸化ガスに O_2 ガスを、キャリアガスに N_2 を用い、基板温度を 500°C 、TTBAI の流量を 300 sccm、 O_2 流量を 100 sccm、総流量を 1500 sccm として形成する。

【0048】

なお、 Al_2O_3 膜 18 は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 を堆積したと同様の成膜室内において連続して成膜することが望ましい。 Al_2O_3 膜 18 は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 を堆積する際に用いるハフニウム源の供給を停止することにより堆積することができる。これにより、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 が堆積後に大気に曝されることはなく、良質の界面を得ることができる。

【0049】

こうして、シリコン基板 10 上に、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 と Al_2O_3 膜 18 との積層膜よりなるゲート絶縁膜 20 を形成する。

【0050】

次いで、ゲート絶縁膜 20 上に、例えば減圧 CVD 法により、例えば膜厚 150 nm のポリシリコン膜 22 を形成する（図 10（c））。ポリシリコン膜 22 は、例えば、 SiH_4 （20%）、 He （80%）の原料を用い、総流量を 500 sccm、圧力を 30 Pa、成膜温度を 620℃として形成する。

【0051】

上記ポリシリコン膜 22 の成膜条件は、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜上に直にポリシリコン膜を堆積すると局所的な異常成長が生じる条件である。しかしながら、本実施形態では、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 とポリシリコン膜 22 との間に Al_2O_3 膜 18 が形成されているため、ポリシリコン膜 22 の局所的な異常成長が生じることはない。

【0052】

次いで、フォトリソグラフィー及びドライエッチングによりポリシリコン膜 22 をパターンニングし、ポリシリコン膜 22 よりなるゲート電極 24 を形成する（図 10（d））。

【0053】

次いで、ゲート電極 24 をマスクとして、例えば砒素イオンをイオン注入し、ゲート電極 24 の両側のシリコン基板 10 中に、LDD 領域或いはエクステンション領域となる不純物拡散領域 26 を形成する（図 11（a））。

【0054】

次いで、例えば CVD 法により、例えば膜厚 110 nm のシリコン窒化膜を堆積した後、このシリコン窒化膜をエッチバックし、ゲート電極 24 の側壁部分にシリコン窒化膜よりなる側壁絶縁膜 28 を形成する（図 11（b））。

【0055】

次いで、ゲート電極 24 及び側壁絶縁膜 28 をマスクとして、例えば砒素イオンをイオン注入し、ゲート電極 24 の両側のシリコン基板 10 中に、不純物拡散領域 30 を形成する。

【0056】

次いで、例えば1050℃1秒間の短時間熱処理を行いイオン注入した不純物を活性化し、不純物拡散領域26, 30よりなるソース／ドレイン拡散層32を形成する(図11(c))。

【0057】

こうして、図9に示す半導体装置が製造される。

【0058】

このように、本実施形態によれば、 $\text{HfO}_{1.8}\text{AlO}_{1.2}\text{O}_y$ 膜とポリシリコン膜との間に Al_2O_3 膜を介在させるので、ポリシリコン膜の形成過程における局所的な異常成長を防止することができる。また、ゲートリーク電流を大幅に低減することができる。

【0059】

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図12を用いて説明する。なお、図9乃至図11に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0060】

図12は本実施形態による半導体装置の構造を示す概略断面図である。

【0061】

本実施形態による半導体装置は、基本的な構造は図9に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置が第1実施形態による半導体装置と異なる点は、 Al_2O_3 膜18の代わりにシリコン窒化膜34が形成されている点にある。

【0062】

シリコン窒化膜34も、 Al_2O_3 膜18と同様に、ポリシリコンの局所的な異常成長を防止する効果がある。したがって、シリコン窒化膜34を $\text{HfO}_{1.8}\text{AlO}_{1.2}\text{O}_y$ 膜16とゲート電極24との間に介在させることにより、ポリシリコンの異常成長を防止することができる。したがって、本実施形態による半導

体装置によれば、ゲートリーク電流を低減することができる。

【0063】

また、窒素を含むシリコン系の絶縁膜はボロンの拡散を抑制する効果を有する。したがって、P型トランジスタにあっては、ゲート電極24からのボロンの突き抜けを防止することができ、ボロンの突き抜けに起因するトランジスタ特性の劣化を防止することができる。

【0064】

なお、本実施形態による半導体装置は、第1実施形態による半導体装置の製造方法において、アルミナ膜18を形成する代わりにシリコン窒化膜34を形成することにより、製造することができる。

【0065】

シリコン窒化膜34は、例えば減圧CVD法により、例えば膜厚0.5nmのシリコン窒化膜を堆積することにより、形成することができる。シリコン窒化膜はアルミナ膜よりも比誘電率が小さいため、アルミナ膜よりも膜厚を薄くすることが望ましい。

【0066】

このように、本実施形態によれば、 HfO_2 膜とポリシリコン膜との間にシリコン窒化膜を介在させるので、ポリシリコン膜の形成過程における局所的な異常成長を防止することができる。また、ゲートリーク電流を大幅に低減することができる。

【0067】

なお、上記実施形態では、 HfO_2 膜上にシリコン窒化膜を形成したが、シリコン窒化膜の代わりにSiON膜を用いてもよい。

【0068】

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図13を用いて説明する。なお、図9乃至図12に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0069】

図13は本実施形態による半導体装置の構造を示す概略断面図である。

【0070】

本実施形態による半導体装置は、基本的な構造は図9に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置が第1実施形態による半導体装置と異なる点は、 Al_2O_3 膜18の代わりに $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜36が形成されている点にある。

【0071】

ハフニウム組成 x が0.7以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ の場合、前述の通り、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 上にポリシリコンを直に堆積しても局所的な異常成長は生じない。したがって、少なくともポリシリコンに接する最上部の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ のハフニウム組成 x を0.7以下にすることにより、ポリシリコンの異常成長を防止することができる。したがって、本実施形態による半導体装置によれば、ゲートリーク電流を低減することができる。

【0072】

なお、本実施形態による半導体装置は、第1実施形態による半導体装置の製造方法において、 Al_2O_3 膜18を形成する代わりに $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜36を形成することにより、製造することができる。具体的には、例えば、Al原料にTTBA1を、Hf原料にTTBHfを、酸化ガスに O_2 ガスを、キャリアガスに N_2 を用い、基板温度を 500°C 、TTBHfの流量を 500 sccm 、TTBA1の流量を 140 sccm 、 O_2 流量を 100 sccm 、総流量を 1500 sccm として形成する。これにより、 $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜36を形成することができる。 $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜36の膜厚は、例えば 1 nm とする。

【0073】

$\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ は、 Al_2O_3 やシリコン窒化膜よりも比誘電率が大きい。そのため、第1及び第2実施形態による半導体装置よりもゲート絶縁膜20の物理膜厚を厚くできるというメリットがある。より大きい比誘電率を得るためには、ハフニウム組成 x を上限值である0.7に近づけることが望ましい。

【0074】

このように、本実施形態によれば、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜とポリシリコン膜との間にハフニウム組成 x が 0.7 以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜を介在させるので、ポリシリコン膜の形成過程における局所的な異常成長を防止することができる。また、第 1 及び第 2 実施形態による半導体装置の場合と比較して比誘電率の高い材料を介在させるので、ゲート絶縁膜の物理膜厚をより厚くすることができる。したがって、ゲートリーク電流を大幅に低減することができる。

【0075】

なお、上記実施形態では、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 上に、 $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜 36 を形成したが、少なくともポリシリコンに接する最上部の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ のハフニウム組成 x を 0.7 以下にすることにより、ポリシリコンの異常成長を防止することができる。したがって、 $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜 36 のハフニウム組成は、これに限定されるものではない。また、ハフニウム組成をステップ状に変化させる必要は必ずしもなく、表面側のハフニウム組成 x が 0.7 以下になるように徐々にハフニウム組成を減少した傾斜組成層を用いるようにしてもよい。

【0076】

[第 4 実施形態]

本発明の第 4 実施形態による半導体装置及びその製造方法について図 14 及び図 15 を用いて説明する。なお、図 9 乃至図 13 に示す第 1 乃至第 3 実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0077】

図 14 は本実施形態による半導体装置の構造を示す概略断面図、図 15 端本実施形態による半導体装置の製造方法を示す工程断面図である。

【0078】

はじめに、本実施形態による半導体装置の構造について図 14 を用いて説明する。

【0079】

シリコン基板 10 上には、素子分離膜 12 が形成されている。素子分離膜 12 により画定されたシリコン基板 10 の素子領域上には、膜厚 1 nm の SiON 膜 38 と膜厚 1 nm の $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 とを有するゲート絶縁膜 20 が形成されている。ゲート絶縁膜 20 上には、ポリシリコン膜よりなるゲート電極 24 が形成されている。ゲート電極 24 の側壁部分には、側壁絶縁膜 28 が形成されている。ゲート電極 24 の両側のシリコン基板 10 中には、ソース／ドレイン拡散層 32 が形成されている。

【0080】

このように、本実施形態による半導体装置は、ゲート絶縁膜 20 が、膜厚 1 nm の SiON 膜 38 と膜厚 1 nm の $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 とにより構成されていることに主たる特徴がある。前述の通り、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ の膜厚を 1 nm 以下にすることにより、ポリシリコンの局所的な異常成長を抑制することができる。また、 $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜 16 の下地に SiON 膜 38 を形成することにより、ゲート絶縁膜 20 の物理膜厚を増加することができる。したがって、本実施形態による半導体装置によれば、ゲートリーク電流を低減することができる。また、窒素を含むシリコン系の絶縁膜を用いることにより、ボロンドープのゲート電極 24 を有する P 型トランジスタにあってはゲート電極 24 からのボロンの突き抜けを防止することができる。したがって、ボロンの突き抜けに起因するトランジスタ特性の劣化を防止することができる。

【0081】

次に、本実施形態による半導体装置の製造方法について図 15 を用いて説明する。

【0082】

まず、シリコン基板 10 中に、例えば STI 法により、素子領域を画定する素子分離膜 12 を形成する。

【0083】

次いで、素子分離膜 12 が形成されたシリコン基板 10 上に、熱酸化法により、例えば膜厚 1 nm の SiON 膜 38 を形成する（図 15 (a)）。

【0084】

次いで、SiON膜38上に、例えばMOCVD法により、膜厚1nmのHf_{0.8}Al_{0.2}O_y膜16を堆積する(図15(b))。

【0085】

次いで、ゲート絶縁膜20上に、例えば減圧CVD法により、例えば膜厚150nmのポリシリコン膜22を形成する(図15(c))。

【0086】

上記ポリシリコン膜22の成膜条件は、Hf_{0.8}Al_{0.2}O_y膜上に直にポリシリコン膜を堆積すると局所的な異常成長が生じる条件である。しかしながら、本実施形態では、Hf_{0.8}Al_{0.2}O_y膜16の膜厚が1nmであり、ポリシリコン膜22の局所的な異常成長は抑制される。

【0087】

次いで、例えば図10(d)～図11(c)に示す第1実施形態による半導体装置の製造方法と同様にして、ゲート電極24、ソース/ドレイン拡散層32等を形成する。

【0088】

このように、本実施形態によれば、Hf_xAl_{1-x}O_yの膜厚を1nm以下にするので、ポリシリコンの局所的な異常成長を抑制することができる。下地にSiON膜を形成するので、ゲート絶縁膜の物理膜厚を増加することができる。とともに、P型トランジスタにあってはゲート電極からのボロンの突抜けを防止することができる。したがって、本実施形態による半導体装置によれば、ゲートリーク電流を低減することができる。

【0089】

[第5実施形態]

本発明の第5実施形態による半導体装置及びその製造方法について図16及び図17を用いて説明する。なお、図9乃至図15に示す第1乃至第4実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0090】

図16は本実施形態による半導体装置の構造を示す概略断面図、図17端本実

施形態による半導体装置の製造方法を示す工程断面図である。

【0091】

はじめに、本実施形態による半導体装置の構造について図16を用いて説明する。

【0092】

シリコン基板10上には、素子分離膜12が形成されている。素子分離膜12により画定されたシリコン基板10の素子領域上には、界面層14及びHfO₂・8Al₂O₃膜16を有するゲート絶縁膜20が形成されている。ゲート絶縁膜20上には、ポリシリコン膜よりなるゲート電極24が形成されている。ゲート電極24の側壁部分には、側壁絶縁膜28が形成されている。ゲート電極24の両側のシリコン基板10中には、ソース／ドレイン拡散層32が形成されている。

【0093】

次に、本実施形態による半導体装置の製造方法について図17を用いて説明する。

【0094】

まず、シリコン基板10中に、例えばSTI法により、素子領域を画定する素子分離膜12を形成する(図17(a))。

【0095】

次いで、素子分離膜12が形成されたシリコン基板10上に、MOCVD法により、膜厚3nmのHfO₂・8Al₂O₃膜16を堆積する(図17(b))。

【0096】

なお、HfO₂・8Al₂O₃膜16の成膜の際に、シリコン基板10とHfO₂・8Al₂O₃膜16との界面には、界面層14が形成される。

【0097】

次いで、ゲート絶縁膜20上に、例えば減圧CVD法により、例えば膜厚150nmのアモルファスシリコン膜40を形成する(図17(c))。アモルファスシリコン膜40は、例えば、SiH₄(20%)、He(80%)の原料を用

い、総流量を 500 sccm、圧力を 30 Pa、成膜温度を 550℃として形成する。ポリシリコン膜の成膜条件と同条件で、成膜温度を 550℃以下に下げることにより、アモルファスシリコン膜を堆積することができる。

【0098】

ゲート電極材料の成膜温度をアモルファスシリコンの成膜温度まで低温化することにより、成膜過程の局所的な異常成長を抑制することができる。

【0099】

この後、例えば図 10 (d) 乃至図 11 (d) に示す第 1 実施形態による半導体装置の製造方法と同様にして、ゲート電極 24、ソース／ドレイン拡散層 32 等を形成する。

【0100】

なお、アモルファスシリコン膜 40 は、不純物の活性加熱処理の際に結晶化してポリシリコンとなるが、この熱処理過程で島状突起物の異常成長が生じることはない。

【0101】

このように、本実施形態によれば、 $Hf_xAl_{1-x}O_y$ 上に、アモルファスシリコンを堆積するので、膜形成過程及びその後の結晶加熱処理過程において島状突起物の異常成長を防止することができる。

【0102】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0103】

例えば、上記第 1 乃至第 3 実施形態では、ハフニウム組成 x が $0.7 < x < 1$ の $Hf_xAl_{1-x}O_y$ 膜上に、窒素を含むシリコン系絶縁膜、アルミナ膜又はハフニウム組成 x が 0.7 以下の $Hf_xAl_{1-x}O_y$ 膜を形成したが、ポリシリコン膜の異常成長を抑制しうる材料であれば他の誘電体膜を適用してもよい。また、ハフニウム組成 x が $0.7 < x < 1$ の $Hf_xAl_{1-x}O_y$ 膜上に形成する誘電体膜は、1 層である必要はなく、2 層以上の膜であっても差し支えない。

【0104】

また、上記第4実施形態では、シリコン基板と $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜との間に SiON 膜を形成したが、 SiON 膜の代わりに他の誘電体膜を形成してもよい。例えば、 SiON 膜の代わりに、シリコン酸化膜やシリコン窒化膜を用いることができる。但し、ポリシリコン膜からのボロンの突き抜けを防止する観点からは、窒素を含むシリコン系絶縁膜を用いることが望ましい。

【0105】

また、上記第1乃至第5実施形態では、ポリシリコン膜よりなるゲート電極を有する半導体装置に本発明を適用する場合を示したが、ゲート電極の構造はこれに限定されるものではない。例えば、ポリシリコン膜とシリサイド膜との積層膜よりなるポリサイドゲート構造や、ポリシリコン膜と金属膜との積層膜よりなるポリメタルゲート構造のゲート電極を有する半導体装置においても本発明を同様に適用することができる。

【0106】

また、ゲート絶縁膜上にポリシリコン膜よりなるダミーゲート電極を形成した後、このダミーゲート電極をアルミ等の金属材料に置換してなるゲート電極を有する半導体装置においても本発明を同様に適用することができる。

【0107】

また、上記実施形態では、N型MISトランジスタに本発明を適用した場合を示したが、P型MISトランジスタにおいても同様に適用することができる。

【0108】

上述したとおり、本発明の特徴をまとめると以下の通りとなる。

【0109】

(付記1) 半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜と、前記第1の誘電体膜上に形成され、前記第1の誘電体膜とは異なる第2の誘電体膜とを有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、ポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置。

【0110】

(付記2) 付記1記載の半導体装置において、
前記第2の誘電体膜は、窒素を含むシリコン系絶縁膜、アルミナ膜又はハフニウム組成 x が $0 < x \leq 0.7$ の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜であることを特徴とする半導体装置。

【0111】

(付記3) 半導体基板上に形成され、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が1nm以下の $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜を有するゲート絶縁膜と、前記ゲート絶縁膜上に形成され、ポリシリコン膜を有するゲート電極とを有することを特徴とする半導体装置。

【0112】

(付記4) 付記3記載の半導体装置において、
前記半導体基板と前記 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜との間に、窒素を含むシリコン系絶縁膜を更に有することを特徴とする半導体装置。

【0113】

(付記5) 付記4記載の半導体装置において、
前記窒素を含むシリコン系絶縁膜は、シリコン窒化膜又は SiON 膜であることを特徴とする半導体装置。

【0114】

(付記6) 半導体基板上に、ハフニウム組成 x が $0.7 < x < 1$ である $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ よりなる第1の誘電体膜を堆積する工程と、
前記第1の誘電体膜上に、前記第1の誘電体膜とは異なる第2の誘電体膜を堆積する工程と、
前記第2の誘電体膜上に、ポリシリコン膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0115】

(付記7) 付記6記載の半導体装置の製造方法において、
前記第1の誘電体膜及び前記第2の誘電体膜は、同一の成膜室内で連続して形成する

ことを特徴とする半導体装置の製造方法。

【0116】

(付記8) 付記6又は7記載の半導体装置の製造方法において、
前記第2の誘電体膜は、アルミナ膜又はハフニウム組成 x が $0 < x \leq 0.7$ の $Hf_xAl_{1-x}O_y$ 膜である

ことを特徴とする半導体装置の製造方法。

【0117】

(付記9) 付記6記載の半導体装置の製造方法において、
前記第2の誘電体膜は、窒素を含むシリコン系絶縁膜である
ことを特徴とする半導体装置の製造方法。

【0118】

(付記10) 半導体基板上に、シリコン酸化膜系の絶縁膜よりなる第1の誘電体膜を形成する工程と、

前記第1の誘電体膜上に、ハフニウム組成 x が $0.7 < x < 1$ であり膜厚が 1 nm 以下の $Hf_xAl_{1-x}O_y$ よりなる第2の誘電体膜を形成する工程と、
前記第2の誘電体膜上に、ポリシリコン膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【0119】

(付記11) 付記10記載の半導体装置の製造方法において、
前記第1の誘電体膜は、 $SiON$ 膜である
ことを特徴とする半導体装置の製造方法。

【0120】

(付記12) 半導体基板上に、 $Hf_xAl_{1-x}O_y$ よりなる誘電体膜を形成する工程と、

前記誘電体膜上に、 550°C より低い温度でシリコン膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【0121】

(付記13) 付記12記載の半導体装置の製造方法において、
前記シリコン膜を形成する工程では、非晶質状態の前記シリコン膜を形成する

ことを特徴とする半導体装置の製造方法。

【0122】

【発明の効果】

以上の通り、本発明によれば、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 膜とシリコン膜との間にシリコン膜の異常成長を抑制しうる絶縁膜を形成し、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ の膜厚を 1 nm 以下に設定し、又は、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 上にアモルファス状態でシリコン膜を堆積するので、 $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ 上にシリコン膜を形成する際のシリコン膜の局所的な異常成長を抑制することができる。また、ゲートリーク電流を大幅に低減することができる。

【図面の簡単な説明】

【図1】

ポリシリコン膜の表面状態及びリーク電流の面内分布を示す図である。

【図2】

ゲートリーク電流特性のハフニウム組成及びゲート面積依存性を示すグラフである。

【図3】

ハフニウム組成を変化した場合におけるポリシリコン膜の表面状態の変化を示すトポグラフ像である。

【図4】

島状突起物の個数と高さとの関係を示すグラフである。

【図5】

$\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるポリシリコン膜の表面状態を示すトポグラフ像である。

【図6】

$\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるゲートリーク電流のゲート面積依存性を示すグラフである。

【図7】

$\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}_y$ 膜の膜厚を変化したときのポリシリコン膜の表面状態の変化を示す図である。

【図 8】

HfO₂・Al₂O₃・SiO₂上にアモルファスシリコンを堆積した場合における表面状態を示すトポグラフ像である。

【図 9】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図である。

【図 10】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 11】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 12】

本発明の第 2 実施形態による半導体装置の構造を示す概略断面図である。

【図 13】

本発明の第 3 実施形態による半導体装置の構造を示す概略断面図である。

【図 14】

本発明の第 4 実施形態による半導体装置の構造を示す概略断面図である。

【図 15】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 16】

本発明の第 5 実施形態による半導体装置の構造を示す概略断面図である。

【図 17】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図である。

【符号の説明】

10…シリコン基板

12…素子分離膜

14…界面層

16…HfO₂・Al₂O₃・SiO₂膜

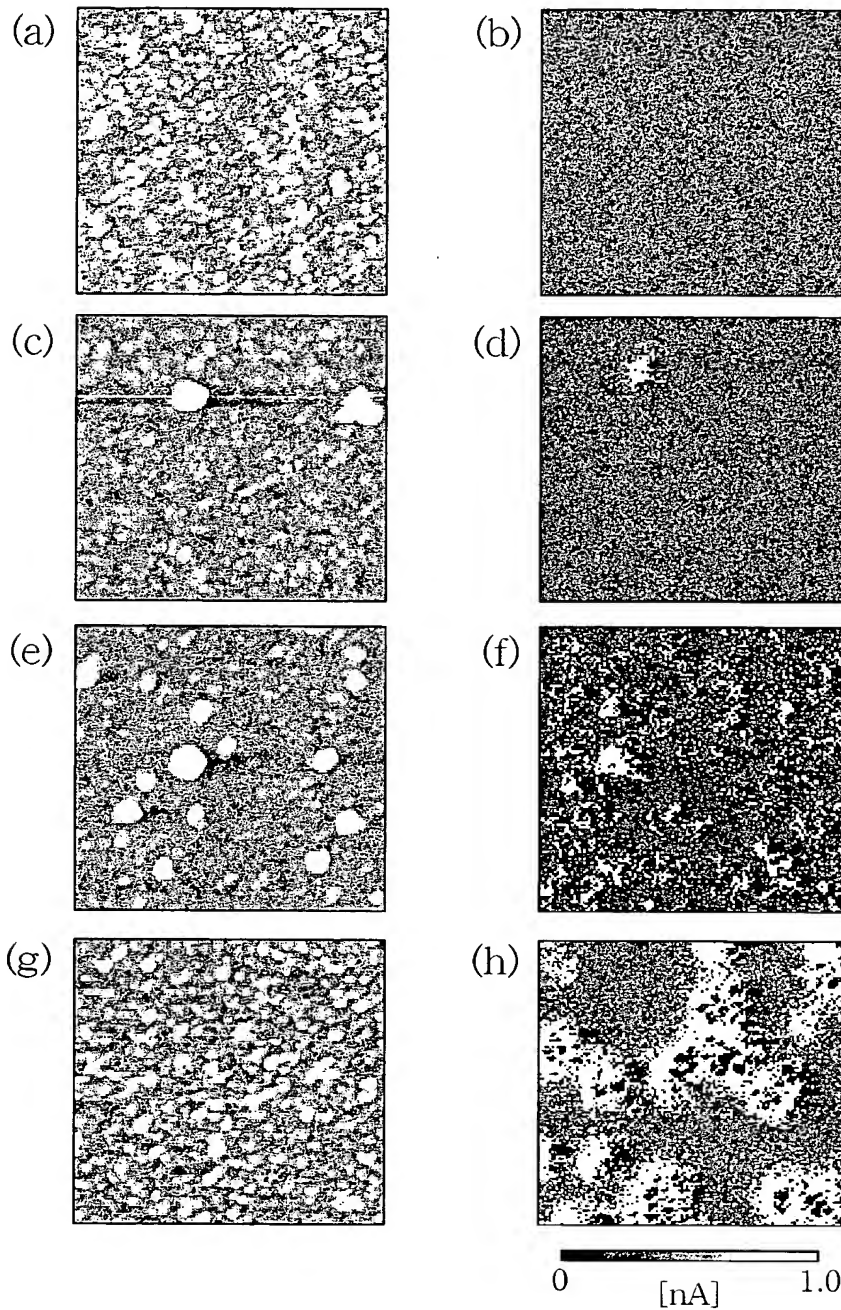
18…Al₂O₃膜

2 0 … ゲート絶縁膜
2 2 … ポリシリコン膜
2 4 … ゲート電極
2 6 , 3 0 … 不純物拡散領域
2 8 … 側壁絶縁膜
3 2 … ソース／ドレイン拡散層
3 4 … シリコン窒化膜
3 6 … $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_y$ 膜
3 8 … SiON 膜
4 0 … アモルファスシリコン膜

【書類名】 図面

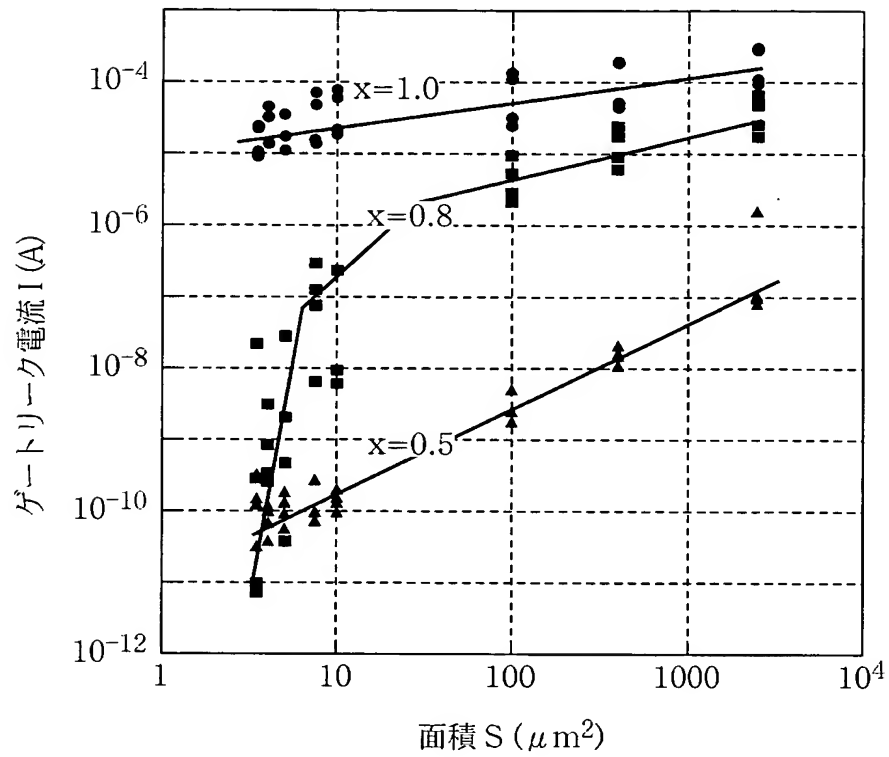
【図 1】

ポリシリコン膜の表面状態及びリーク電流の面内分布を示す図



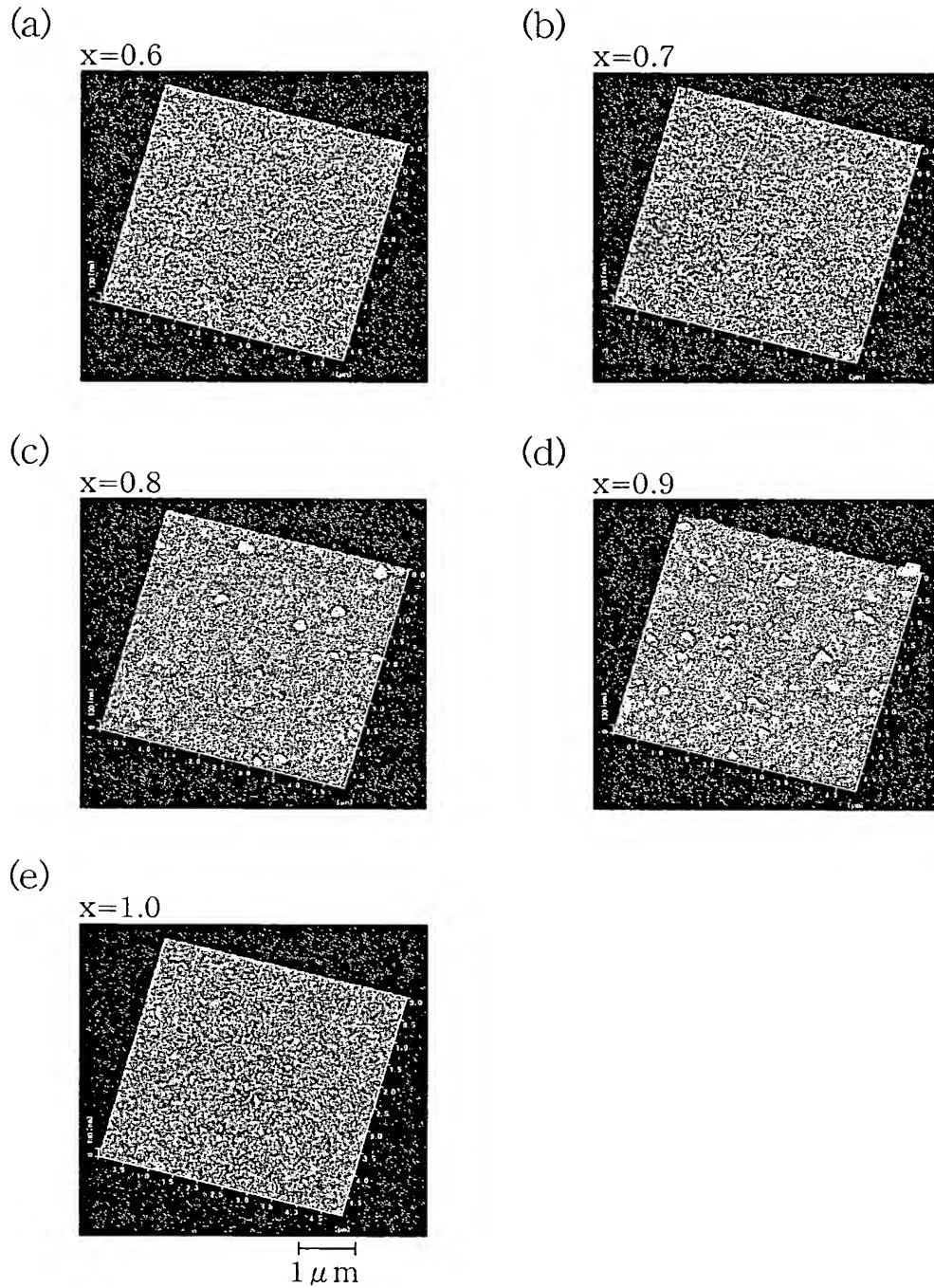
【図 2】

ゲートリーク電流特性のハフニウム組成及び
ゲート面積依存性を示すグラフ



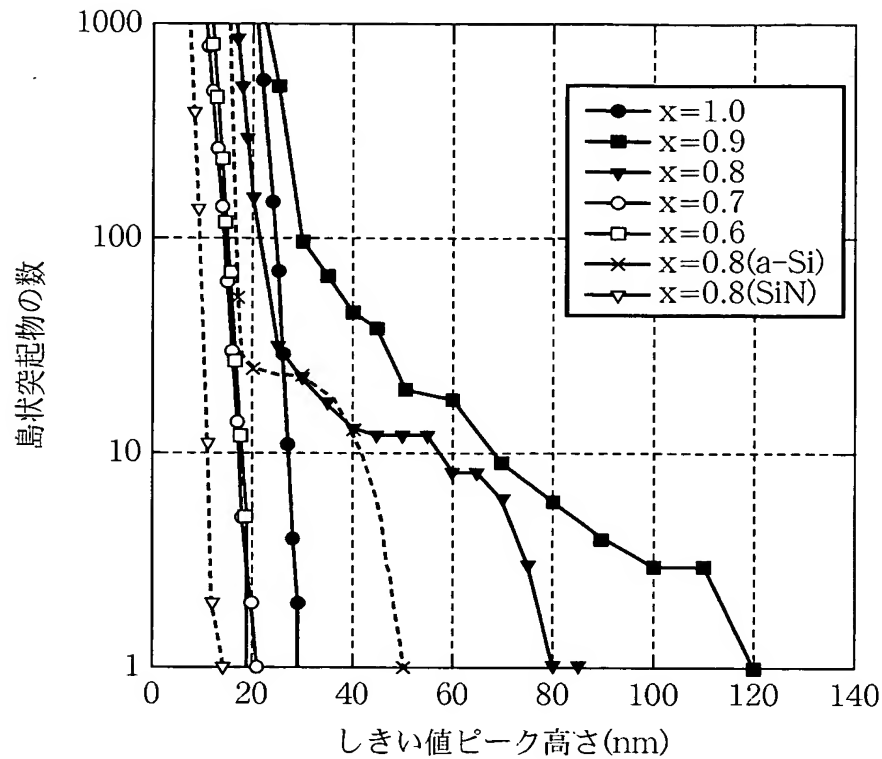
【図3】

ハフニウム組成を変化した場合におけるポリシリコン膜の
表面状態の変化を示すトポグラフ像



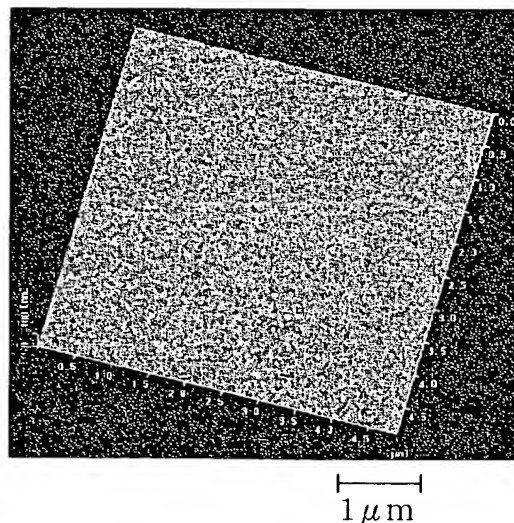
【図 4】

島状突起物の個数と高さとの関係を示すグラフ



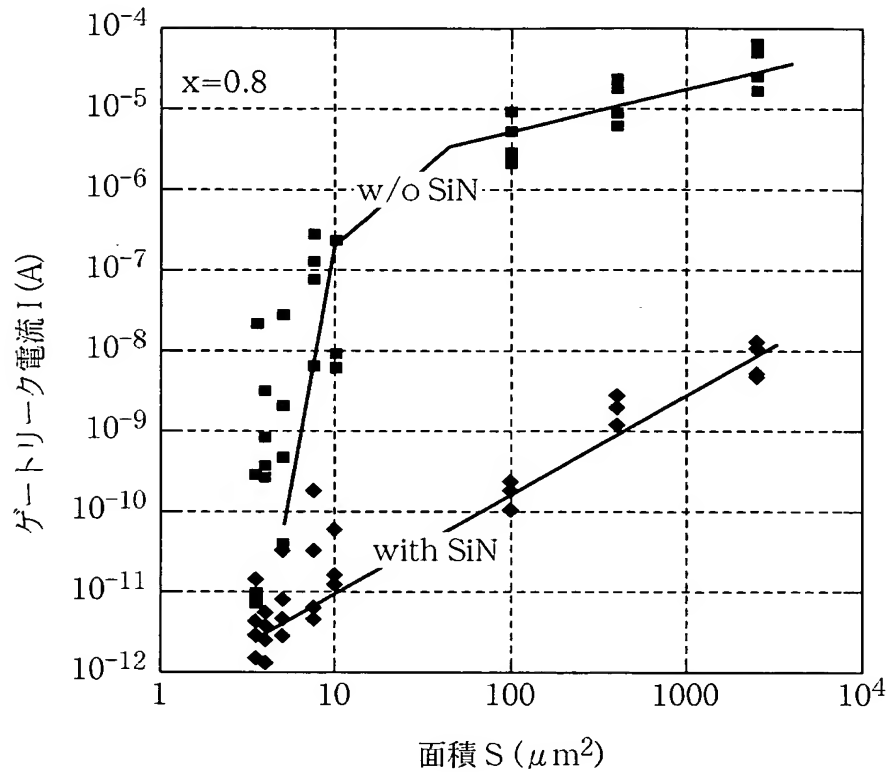
【図 5】

Hf_{0.8}Al_{0.2}O_y膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるポリシリコン膜の表面状態を示すトポグラフィ像



【図 6】

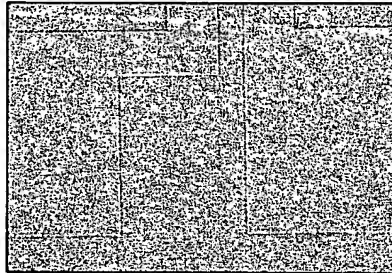
Hf_{0.8}Al_{0.2}O_y膜とポリシリコン膜との間にシリコン窒化膜を形成した場合におけるゲートリーク電流のゲート面積依存性を示すグラフ



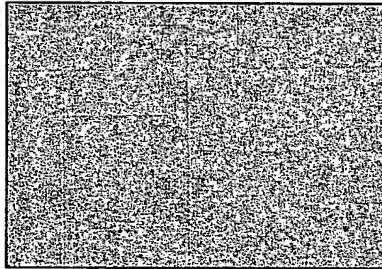
【図 7】

Hf_{0.8}Al_{0.2}O_y膜の膜厚を変化したときのポリシリコン膜の
表面状態の変化を示す

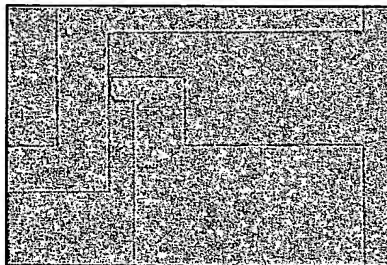
(a)



(b)

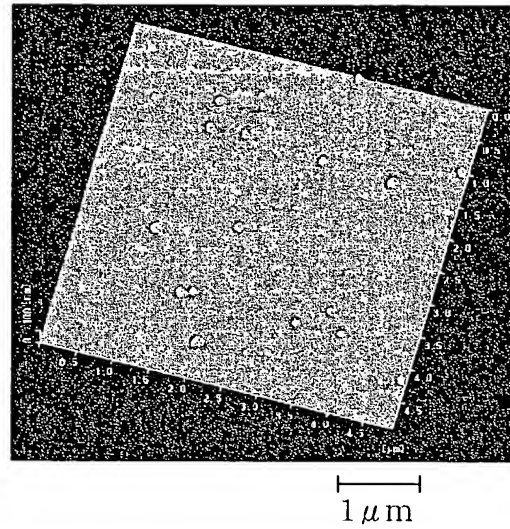


(c)



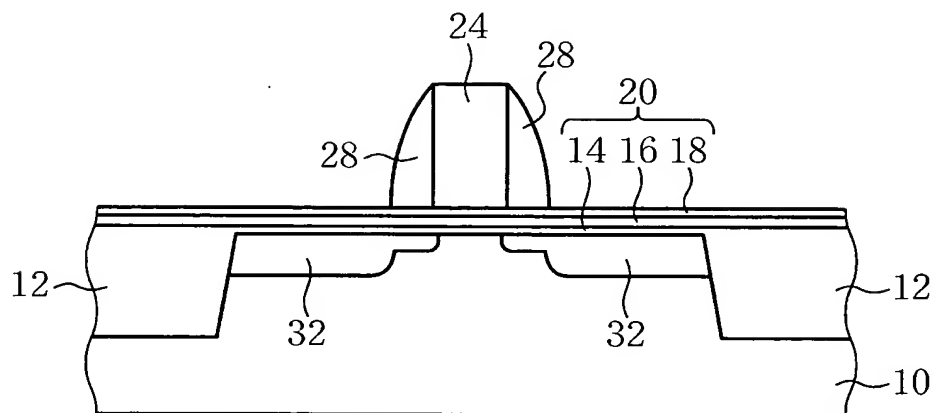
【図 8】

Hf_{0.8}Al_{0.2}O_y上にアモルファスシリコンを堆積した場合における
表面状態を示すトポグラフ像



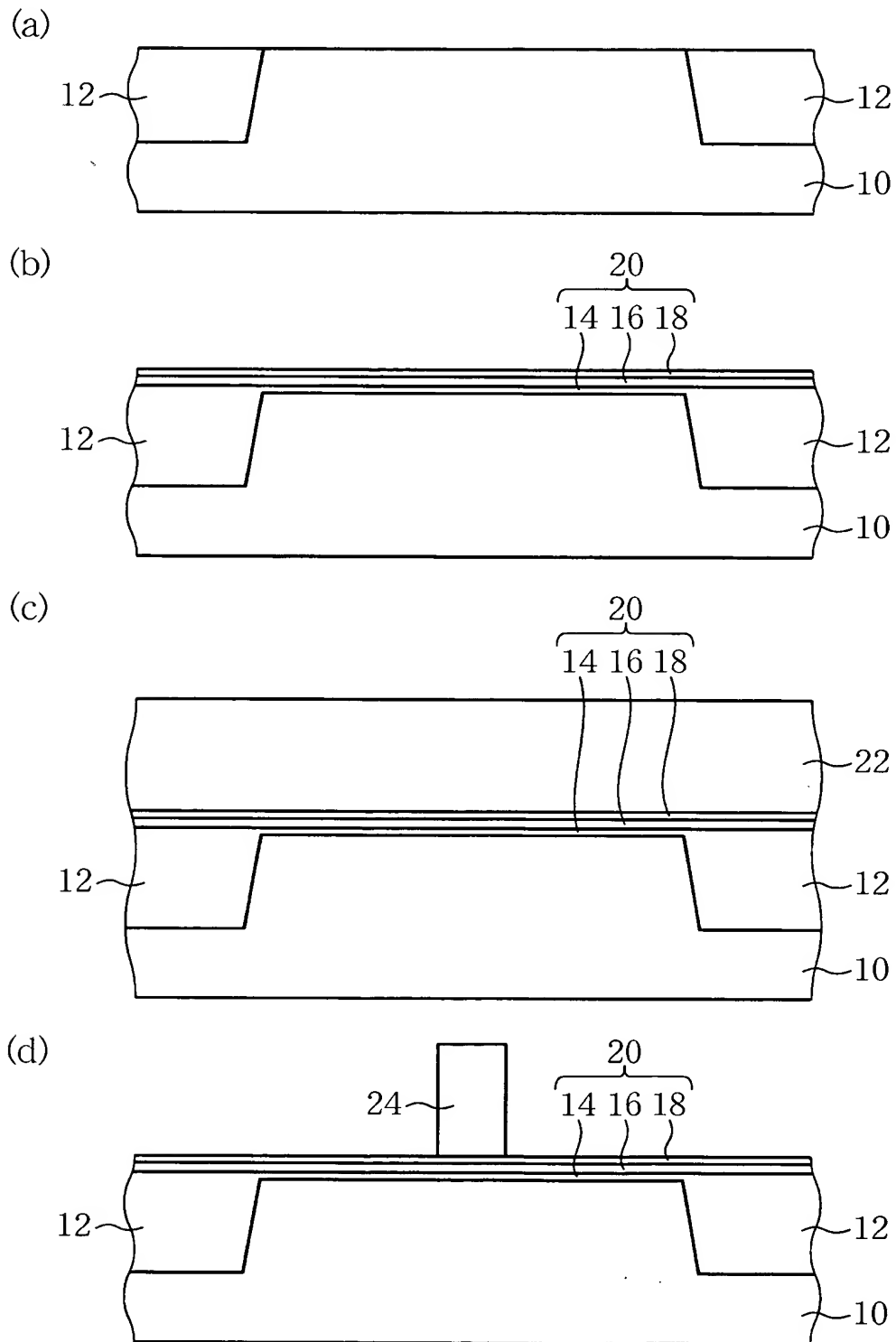
【図 9】

本発明の第1実施形態による半導体装置の構造を示す概略断面図



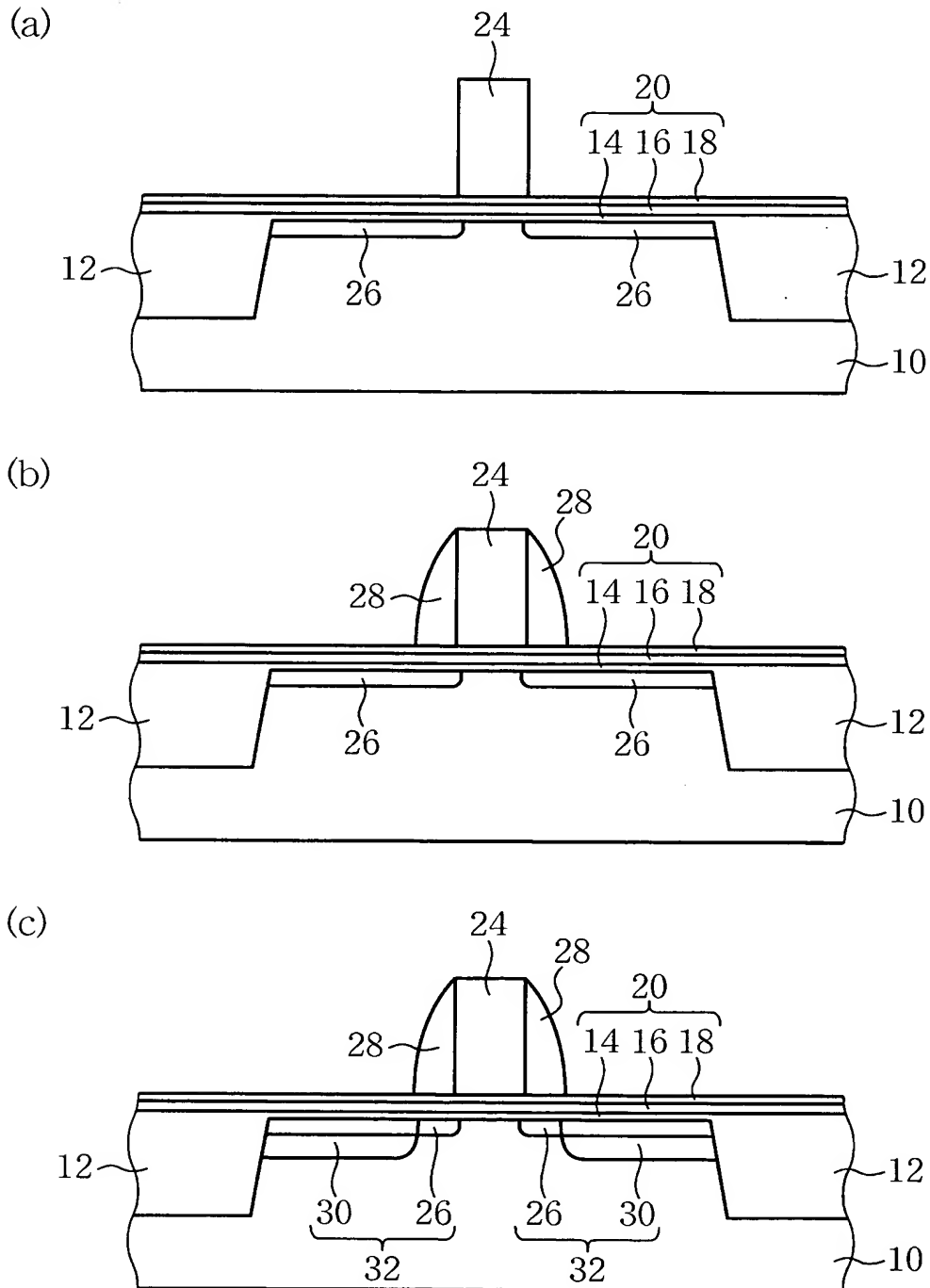
【図 10】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



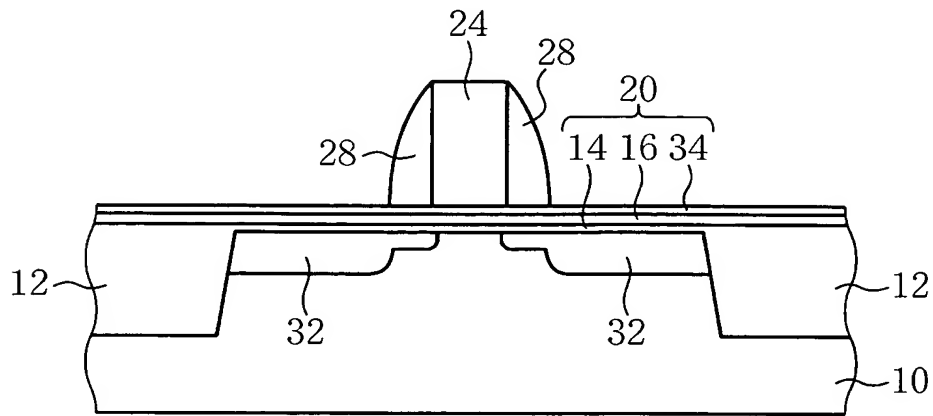
【図 11】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



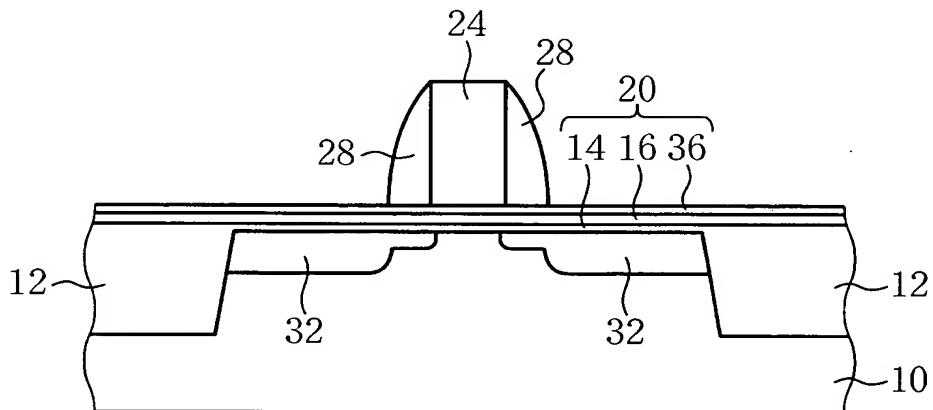
【図 1 2】

本発明の第2実施形態による半導体装置の構造を示す概略断面図



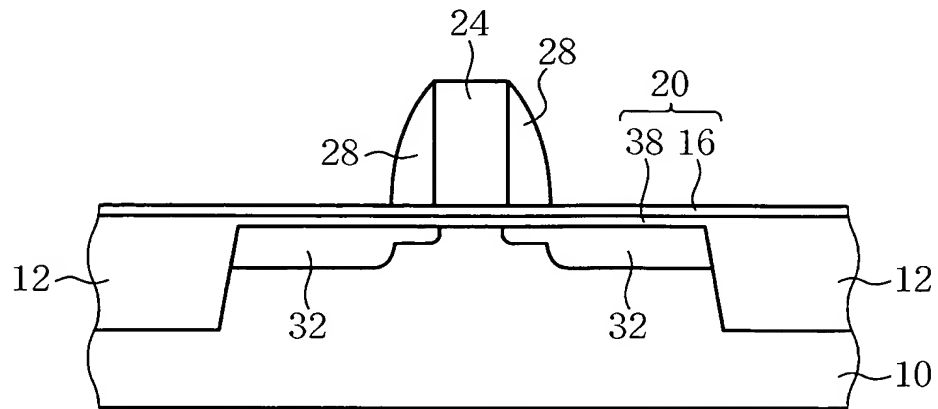
【図 1 3】

本発明の第3実施形態による半導体装置の構造を示す概略断面図



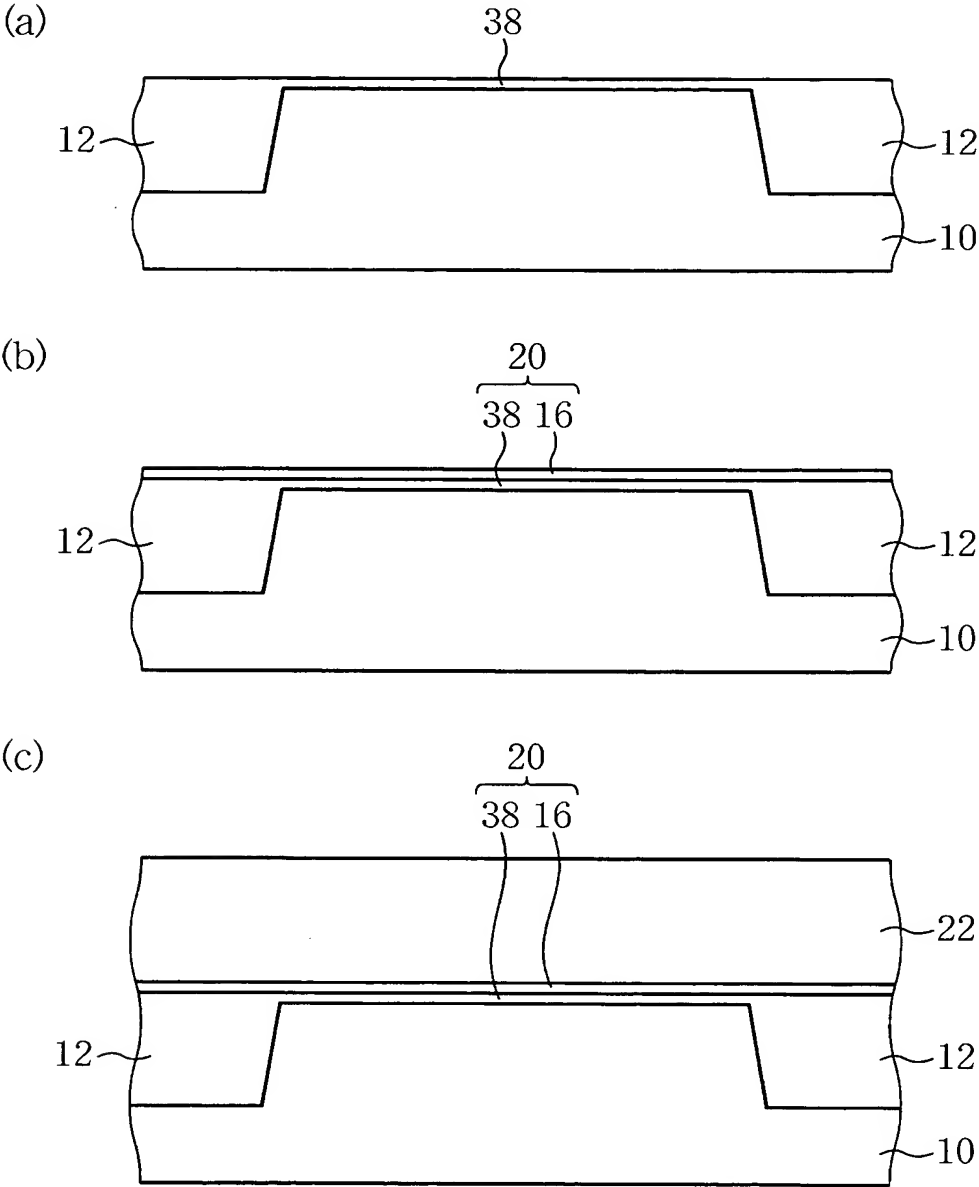
【図 14】

本発明の第4実施形態による半導体装置の構造を示す概略断面図



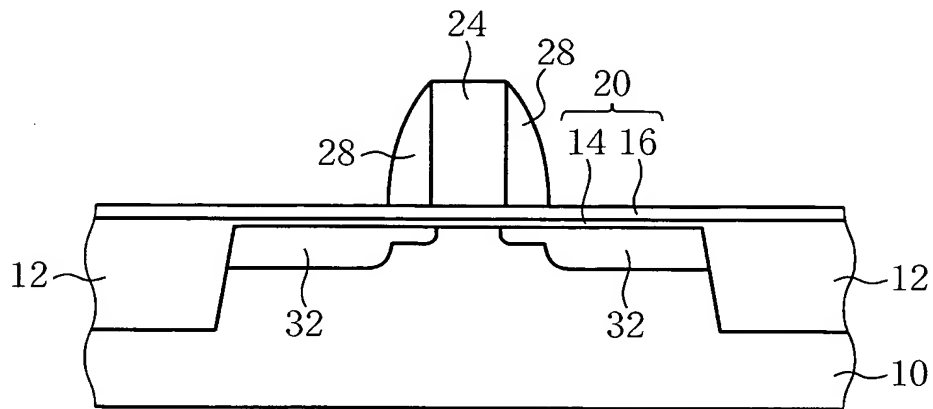
【図 15】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図



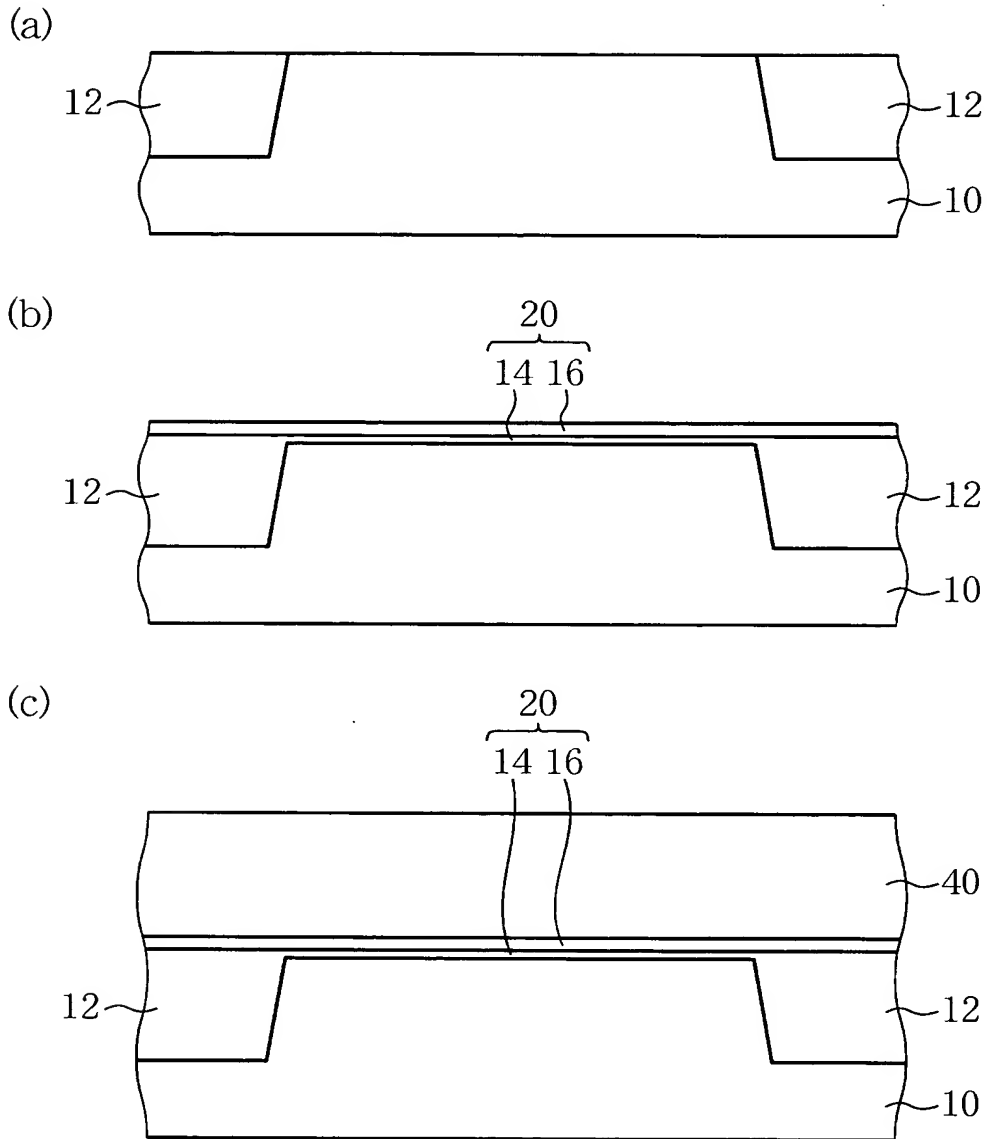
【図 16】

本発明の第5実施形態による半導体装置の構造を示す概略断面図



【図 17】

本発明の第5実施形態による半導体装置の製造方法を示す
工程断面図



【書類名】 要約書

【要約】

【課題】 高誘電率膜を含むゲート絶縁膜を有するMISトランジスタを有する半導体装置及びその製造方法に関し、ポリシリコンの異常成長やゲートリーク電流を抑制しうる半導体装置の構造及びその製造方法を提供する。

【解決手段】 半導体基板10に形成され、ハフニウム組成 x が $0.7 < x < 1$ である $Hf_xAl_{1-x}O_y$ よりなる誘電体膜16と、誘電体膜16上に形成され、誘電体膜16とは異なる誘電体膜18とを有するゲート絶縁膜20と、ゲート絶縁膜20上に形成され、ポリシリコン膜を有するゲート電極24とを有する。これにより、ポリシリコン膜の形成過程における局所的な異常成長が防止される。また、ゲートリーク電流を大幅に低減することができる。

【選択図】 図9

特願 2 0 0 3 - 0 2 9 3 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社